

© EPODOC / EPO

PN - JP63087736 A 19880419  
PD - 1988-04-19  
PR - JP19860233622 19860930  
OPD - 1986-09-30  
TI - SEMICONDUCTOR DEVICE  
IN - KISHI ATSUSHI  
PA - NIPPON ELECTRIC CO  
IC - H01L21/66 ; H01L27/04  
FT - 4M106/AA02 ; 4M106/AA07 ; 4M106/AB12 ; 4M106/AB15 ;  
4M106/AD01 ; 4M106/AD22 ; 4M106/BA01 ; 4M106/BA14 ;  
4M106/CA04 ; 4M106/CA70  
- 5F038/AR01 ; 5F038/CA05 ; 5F038/DT12

© WPI / DERWENT

TI - Semiconductor device - has resistors connected to electrode pads formed around semiconductor chip NoAbstract Dwg 2/9  
PR - JP19860233622 19860930  
PN - JP63087736 A 19880419 DW198821 009pp  
PA - (NIDE ) NEC CORP  
IC - H01L21/66 ; H01L27/04  
OPD - 1986-09-30  
AN - 1988-144853 [21]

© PAJ / JPO

PN - JP63087736 A 19880419  
PD - 1988-04-19  
AP - JP19860233622 19860930 -  
IN - KISHI ATSUSHI  
PA - NEC CORP  
TI - SEMICONDUCTOR DEVICE  
AB - PURPOSE: To enable a shape of a semiconductor chip to be inspected quickly and exactly, by forming a resistor with electrode pads on both its ends in the periphery of the semiconductor chip.  
- CONSTITUTION: A diffusion resistor 17, whose distances from scribing conductors 11-1 and 11-2 are identical with each other, is formed on the periphery of a semiconductor chip so as to

surround an element, region 18 of the chip. On both ends of a resistor consisting this diffusion resistor 17, contact windows 15 are formed and electrode pads 19-1 and 19-2 made of Al are disposed. A resistance value of a shape checking resistor is measured instead of appearance inspection of a cutting part. Hence, improvement of inspection efficiency, prevention of inspection failure and prevention of unevenness in quality, caused by individual difference or the like of inspectors, can be performed.

I - H01L21/66 ;H01L27/04

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-87736

⑤ Int.Cl.<sup>4</sup>

H 01 L 21/66  
27/04

識別記号

庁内整理番号

7168-5F  
R-7514-5F

④ 公開 昭和63年(1988)4月19日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 半導体装置

⑪ 特 願 昭61-233622

⑫ 出 願 昭61(1986)9月30日

⑯ 発 明 者 岸 淳 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑱ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 装 置

特 許 請 求 の 範 囲

(1) 半導体チップ外周部に、両端に電極パッドを有する抵抗体を配置してなることを特徴とする半導体装置。

(2) 前記抵抗体は前記半導体チップの素子領域を実質的に取り囲んでいる特許請求の範囲第(1)項記載の半導体装置。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体装置に関し、特に半導体ウェーハをチップに分割する工程で発生するチップ周辺の欠損を効率的に選別することの出来る機能を有する半導体装置に関する。

(従来の技術)

従来技術による半導体ウェーハをチップに分割する工程での外観検査方法を説明する。

一般に、半導体装置の製造においては、半導体基板(ウェーハ)上に同一の半導体素子を同時に多数形成した後、これら半導体素子を個々のチップに分割し、所定のパッケージに組み込んで半導体装置を形成していた。この為、半導体基板上には個々の半導体素子に分割する為の領域、すなわちスクライプ線を設けている。

さらに、スクライプ線と半導体素子を構成しているトランジスタ等の回路素子を形成した部分との間に数10 $\mu$ m程度の幅で回路素子のない領域をスクライプ線と平行して設け(以下この回路素子のない領域をチップ外周部と言う)、各チップに分割する工程で発生するダイサー、スクライパー等の機械的なずれ、及び分割する際に生じるチップ周辺の欠損により半導体素子が不良となることを防止している。

すなわちダイサー、スクライパーのずれ及びチップ周辺の欠損を皆無にすることが出来れば半

導体装置製造上の歩留り、及び品質を上げることが出来るが、現在では不可能であり、この為通常、個々のチップに分割した後に外観検査を行ない、割れ・欠けの程度による良、不良品の目視選別を実施しているのが現状である。

第8図は従来の半導体装置の半製品である半導体ウェーハの主要部の平面図である。1-1、1-2はスクライプ線で前述したようにチップに分割する為の領域であり、又分割前においては第8図に示す半導体素子A、B、C、D間の境界と考えられる。

2A、2B、2C、2Dは半導体素子A、B、C、Dを構成する回路素子4A、4B、4C、4Dの周囲の絶縁領域でこの絶縁領域2A、2B、2C、2Dより内側の領域をチップの素子領域と呼ぶ。

又この絶縁領域2A、2B、2C、2Dより外側すなわちスクライプ線の側には回路素子を設けない数10 $\mu$ m程度の幅のチップ外周部3A、3B、3C、3Dを設けてあり、これによってチップ

に分割する工程で生じるチップ周辺部の欠損により、チップの素子領域が損傷を受けることを防止している。

5A、5B、5Dは回路素子4A、4B、4Dにそれぞれに配線6A、6B、6Dを接続するコンタクト窓である。

このような従来の半導体ウェーハをスクライプ線に沿ってチップに分割すると、分割後のチップはその平面図を第9図に示すように欠損Xが生じることがある。この為前記チップ外周部3Aを設けて、たとえ欠損Xが生じて回路素子4Aが不良となることを防止しているのであるが、チップ外周部3Aの幅を広げることは直接チップサイズの増大となり、むやみに幅を広げることは出来ない。この為欠損Xが絶縁領域2Aを越える場合があり、このような欠損を生じた半導体素子を除去する為にチップの外観検査を実施している。

先に述べたとおり外観検査とは作業者がある判定基準に基づいて、目視によって判断するものである。

この判定基準は例えばチップ外周部3Aすなわちスクライプ線と回路素子を有する部分との間の半分を基準とする場合、作業者は顕微鏡でチップ1つ1つを目で検査し、チップ外周部3Aの半分以下の欠損であれば良品、半分以上なら不良品とするわけである。

以上が従来技術における外観検査方法である。  
(発明が解決しようとする問題点)

例えばチップ外周部の幅1/2までの欠損は良品で、それを越えた場合は不良品という判定基準の場合、欠損の程度を見てそれがチップ外周部の幅の1/2を越えているかの判断をしなければならない。通常、外観検査はチップ全体が目視出来る視野で行なわれるので数10 $\mu$ m程度の幅のチップ外周部に発生している欠損の程度がその幅の1/2を越えているかどうかの判定は簡単ではなく、検査能率の低下、検査の見落とし、検査担当者の個人差等による半導体装置の品質の不均一を生じやすかった。

本発明の目的は、半導体チップの外形検査を迅速かつ正確に行うことの可能な半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置は、半導体チップ外周部に、両端に電極パッドを有する抵抗体を配置した構成を有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を説明するための半導体ウェーハの主要部の平面図である。

この実施例は、スクライプ線11-1、11-2と等距離をとった拡散抵抗17をチップ外周部に半導体チップの素子領域18を囲む様に設け、この拡散抵抗17からなる抵抗体の両端にそれぞれコンタクト窓15を設けA<sub>1</sub>からなる電極パッド19-1、19-2を配置している。

第2図は第1図の電極パッド近傍の詳細図である。11-1、11-2はスクライプ線で各チップに分割する為の領域である。12は半導体装置

を構成する回路素子14の絶縁領域である。

すなわち集積回路が動作する為の領域である素子領域を取り囲む領域である。

15は回路素子14のコンタクト用窓で配線16とオーミック接触をとるためのものである。17はスクライブ線と等距離でかつ平行に形成した拡散抵抗で、P形半導体基板、N型エピタキシャル層で構成した集積回路ではP形拡散層からなる。以下この拡散抵抗を外形チェック抵抗と呼ぶ。又外形チェック抵抗はチップ外周部にチップを実質的に取り囲むように設定している。19-1、19-2は探針がのせられる面積をもったA<sub>2</sub>からなる電極パッドで、外形チェック抵抗の両端に配置されている。以下、この電極パッド19-1、19-2を外形チェック用パッドと呼ぶ。

次に、本発明半導体装置の検査方法について説明する。検査方法はこの外形チェック抵抗の破損の程度を基準とするものである。

第3図(a)～(c)はそれぞれ欠損のある半

導体チップの平面図、第4図(a)、(b)はそれぞれ第3図(a)、(b)のA-A'線断面図である。

第3図(a)、第4図(a)に示した程度の欠損のある半導体チップの場合、欠損Xは外形チェック抵抗を構成するP型拡散層43に到達していないので、電極パッド19-1、19-2間に電圧を印加すると、外形チェック抵抗の本来の抵抗値でさまる電流が流れる。

次に、第3図(b)、第4図(b)に示した程度の欠損のある半導体チップの場合は半導体基板をチップに分割する際チップの欠損Xが外形チェック抵抗を越える程大きくなっていて、電極パッド19-1、19-2間に電圧をかけると、欠損Xは外形チェック抵抗を切断しているので電流が流れず開放状態となっている。

次に、第3図(c)に示した程度の欠損のある半導体チップの場合は、電極パッド19-1、19-2間に電圧を印加すると外形チェック抵抗は一部欠けているが断線していないので電流は

流れる。しかし欠損部分で外形チェック抵抗が細くなっているのでインピーダンスは高くなると予想される。

第5図は外形チェック抵抗の電圧-電流特性図である。

I、II、IIIはそれぞれ第3図(a)、(b)、(c)に示した半導体チップの場合の曲線である。

外形チェック抵抗は拡散抵抗でなくてもよいが、再現性の点では拡散抵抗が好ましい。外形チェック抵抗の抵抗率、形状によって電圧電流特性は変化するので、抵抗の種類はICの種類に応じて適宜に選択すればよい。

以上述べたように、外形チェック抵抗が断線しているかどうかは電流値によって判定できるので、外観チェックを電流測定に置換えることができる。

又外形チェック抵抗に設けた電極パッドの間隔はボンディングせず探針を立てるだけでチェック可能であるから、せいぜい数10 $\mu$ m程度離せば

良く、パッド間の間隔は充分狭くできるので、パッド間に欠損が生じる割合は極めて少なく検査もれの危険性は非常に小さいと考えられる。

第6図は本発明の第2の実施例を説明するための半導体ウェーハの主要部の平面図である。

この実施例は電極パッド29-1、29-2を半導体チップの隅に設けたものであり、電極パッド29-1、29-2はそれぞれA<sub>2</sub>配線45-1、45-2によりそれぞれコンタクト窓25-1、25-2部で拡散抵抗27と接続されている。電極パッド間隔が大きいので探針をのせる作業が楽になる。

第7図は本発明の第3の実施例を説明するための半導体ウェーハの主要部の平面図である。

この実施例は電極パッド39-1、39-2を素子領域38に近い方に設け検査漏れをより少なくできる外、拡散抵抗を構成するP型拡散層の設けられているN型エピタキシャル層に選択的に設けられたN<sup>+</sup>型領域にコンタクト窓35-3部で接触する電極パッド39-3を設けることによ

り、ここに電圧を印加してP型拡散層を逆バイアスして絶縁をよくして電流測定 of 精度を上げようとするものである。この場合、チップ分割時の欠損箇所でPN接合が破壊されているかどうかのチェックも可能となる。

以上の説明ではP型半導体基板にN型エピタキシャル層を形成し、そのエピタキシャル層にP型拡散層で外観チェック抵抗を形成した例で示したが、N型半導体基板にP型拡散層で外観チェック抵抗を形成する場合、又P型半導体基板にN型拡散層で外観チェック抵抗を形成する場合等適用できる。

#### (発明の効果)

従来の半導体装置において、外観検査工程は半導体基板をチップに分割し、分割したチップを等間隔でならべた状態(これを以下シート拡大と呼ぶ)で作業者がチップ1つ1つについて、チップ外周部に発生するチップの欠損の程度を顕微鏡で観察して判定していた。

外観検査の後、良品となったチップをコレット

により吸引し、所定の位置まで運び、システムにチップをマウントし、ケースに封入し、製品となしていた。

本発明の半導体装置においては、まず一例として、半導体基板をチップに分割し、コレットにより、システムにチップを取り付け、ケースに封入して製品が完成した段階でチェックにより外形検査を行なうもので、先に従来例で述べた作業者がチップごとに顕微鏡で行なっていた外観検査工程が省ける。

又チップに分割した段階すなわちチップをシステムに運ぶ前に検査し、良品のみ組立てることもできる。更に、分割したチップを探針付きのコレットで吸引しながら検査を行ない、良品であればそのままシステムまで運びシステムに取り付け、不良品であれば廃棄することもできる。

以上の通り本発明の半導体装置は欠損部の外観検査の代りに外形チェック抵抗の抵抗値を測定すればよいので検査能率の向上、検査もれの防止、検査担当者の個人差等による品質の不均一性防止

に大いに役に立つ。言い換えると工数低減、信頼性改善の効果がある。

#### 図面の簡単な説明

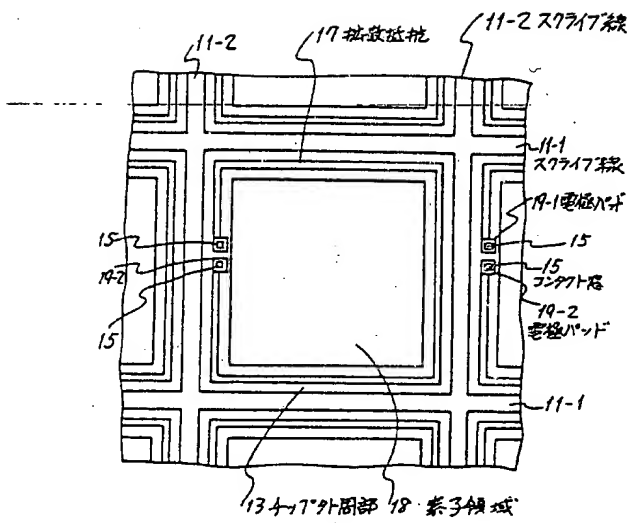
第1図は本発明の第1の実施例を説明するための半導体ウェーハの主要部の平面図、第2図は第1図の電極パッド近傍の詳細図、第3図(a)～(c)はそれぞれ欠損のある半導体チップの平面図、第4図(a)、(b)はそれぞれ第3図(a)、(b)のA-A'線断面図、第5図は外形チェック抵抗の電圧-電流特性図、第6図、第7図はそれぞれ本発明の第2、第3の実施例を説明するための半導体ウェーハの主要部の平面図、第8図は従来の半導体装置を説明するための半導体ウェーハの主要部の平面図、第9図は従来品における欠損のある半導体チップの平面図である。

1-1、1-2、11-1、11-2、21-1、21-2、31-1、31-2…スクライプ線、2A～2D、12…絶縁領域、3A～3D、13、23、33…チップ外周部、4A～4D、

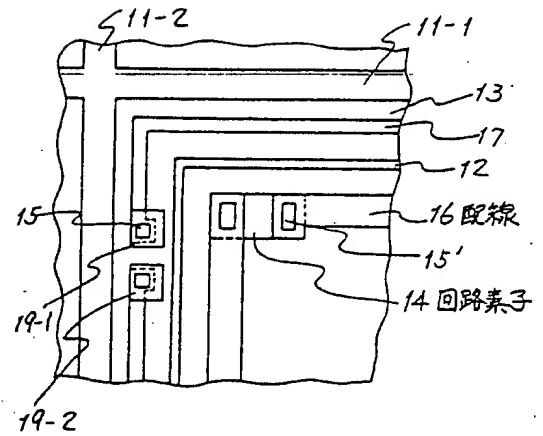
14、24、34…回路素子、5A～5D、15、25-1、25-2、35-1、35-2…コンタクト窓、6A～6D、16…配線、17、27、37…拡散抵抗、18、28、38…素子領域、19-1、19-2、29-1、29-2、39-1、39-2…電極パッド、40…P型シリコン基板、41…P+型分離領域、42…N型エピタキシャル層、43…P型拡散層、44…酸化シリコン膜、A～D…半導体素子。

代理人 弁理士 内 原 晋

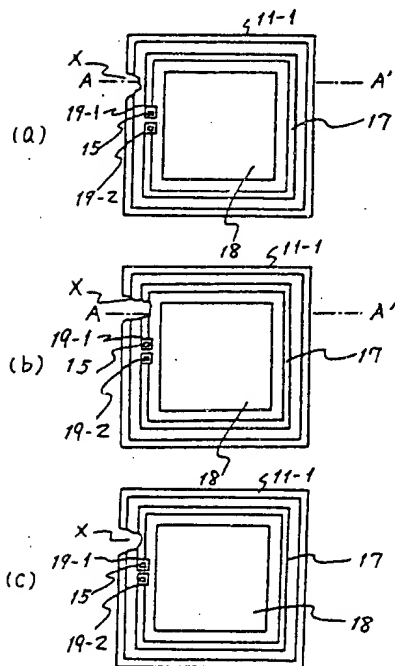
弁理士  
内原



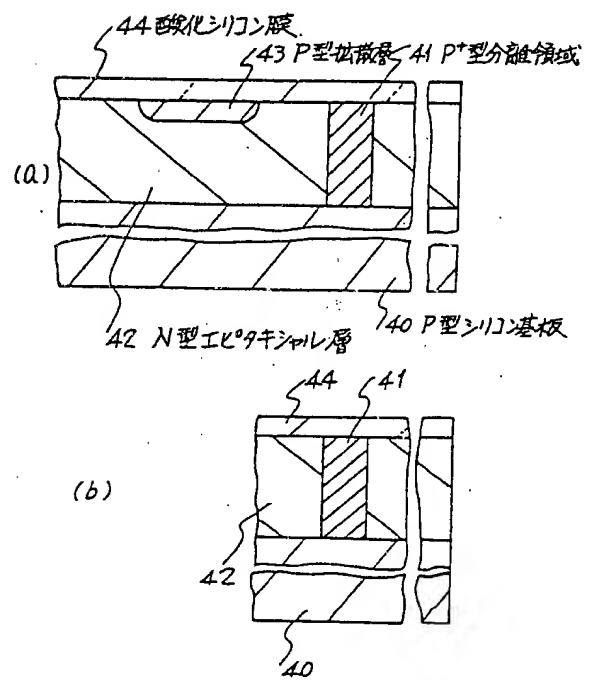
第1図



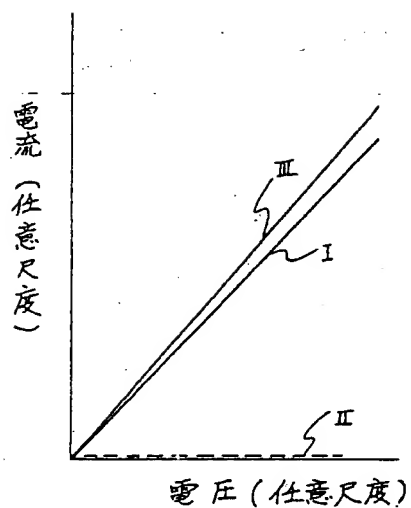
第2図



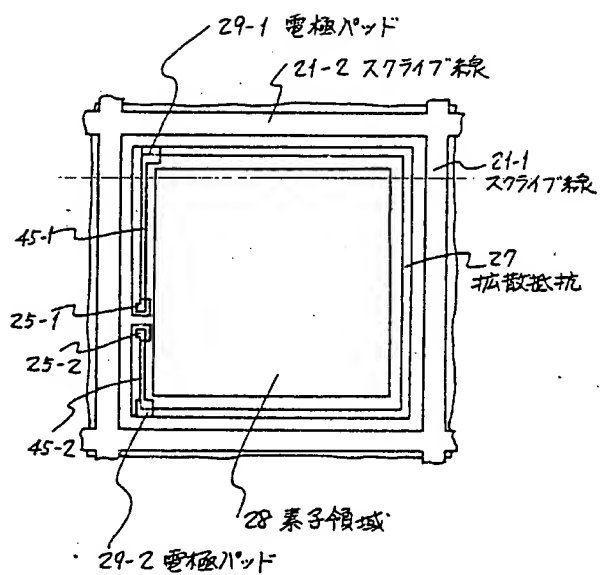
第3図



第4図

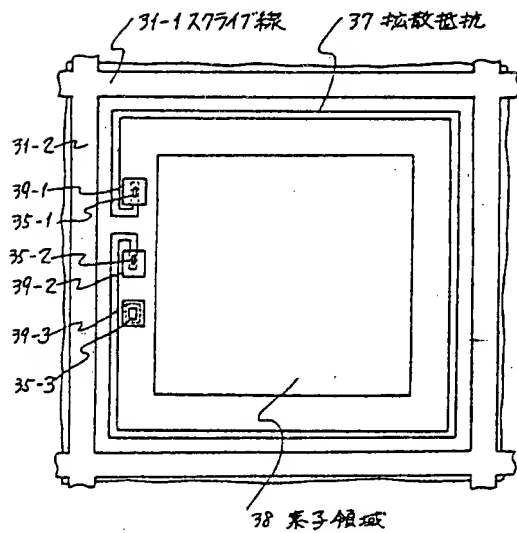


第5図



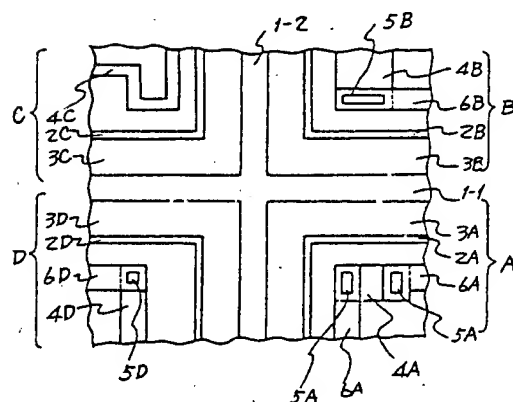
45-1, 45-2

第 6 図



35-1, 35-2, 35-3 コンタクト窓  
39-1, 39-2, 39-3 電極パッド

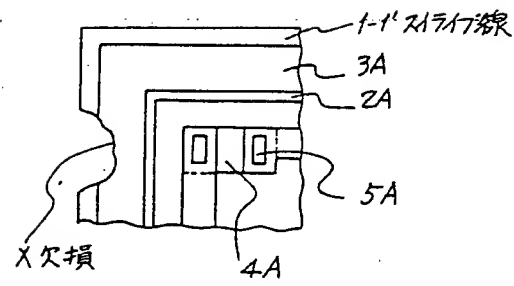
第 7 図



1-1, 1-2 スクワイア線	5A~5D コンタクト窓
2A~2D 絶縁領域	6A~6D 配線
3A~3D キャパ外周部	A~D 半導体素子
4A~4D 回路素子	

第 8 図





第 9 図